

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-366235  
 (43)Date of publication of application : 20.12.2002

(51)Int.Cl.

G05F 1/56

(21)Application number : 2001-172493

(71)Applicant : DENSO CORP

(22)Date of filing : 07.06.2001

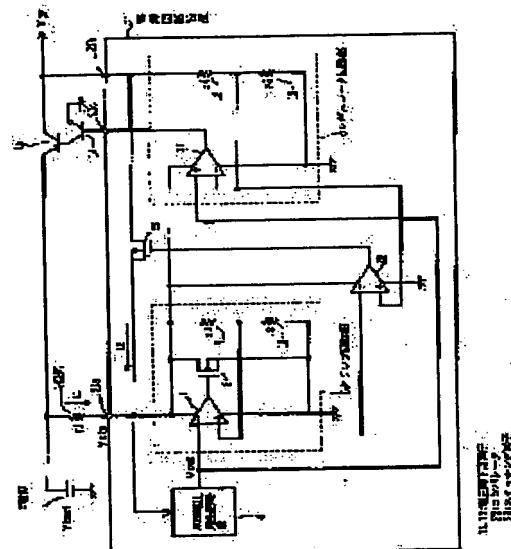
(72)Inventor : MAKIHARA TETSUYA  
 HORIE MASUMI  
 HARADA TAKUYA

## (54) POWER CIRCUIT DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a power circuit device capable of generating a stabilized voltage of a level that is needed without increasing current consumption even when a power supply voltage is low.

**SOLUTION:** A clamp circuit part 5 of the power circuit device 21 generates the voltage  $V_{clip}$  clamped by lowering the output voltage  $V_{batt}$  of a battery 2 through a current limit resistance 3. A regulator circuit part 6 controls transistors 14 and 15 arranged externally to stabilize the voltage  $V_{batt}$  to generate stabilized voltage  $V_{cc}$ . A comparator 22 compares the stabilized voltage  $V_{cc}$  with the voltage  $V_{clip}$  for operation, and if the former surpasses the latter by  $\geq 0.1V$ , a FET 23 is turned on to make the voltage  $V_{clip}$  go up.



## LEGAL STATUS

[Date of request for examination] 11.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-366235  
(P2002-366235A)

(43)公開日 平成14年12月20日(2002.12.20)

(51)Int.Cl.  
G 0 5 F 1/56

識別記号  
3 1 0

F I  
G 0 5 F 1/56

マーク\*(参考)

3 1 0 F 5 H 4 3 0  
3 1 0 E  
3 1 0 H

審査請求 未請求 請求項の数2 OL (全6頁)

(21)出願番号 特願2001-172493(P2001-172493)

(22)出願日 平成13年6月7日(2001.6.7)

(71)出願人 000004260  
株式会社デンソー  
愛知県刈谷市昭和町1丁目1番地  
(72)発明者 牧原 哲哉  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内  
(72)発明者 堀江 真清  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内  
(74)代理人 100071135  
弁理士 佐藤 強

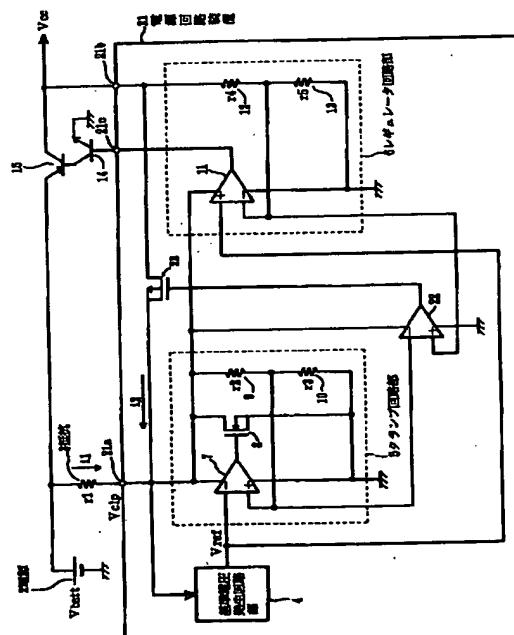
最終頁に続く

(54)【発明の名称】 電源回路装置

(57)【要約】

【課題】 電流消費を増加させることなく、電源電圧が低い場合でも必要なレベルの安定化電圧を生成できる電源回路装置を提供する。

【解決手段】 電源回路装置21のクランプ回路部5は、バッテリ2の出力電圧 $V_{batt}$ を電流制限抵抗3を介して降圧することでクランプした動作電圧 $V_{clip}$ を生成し、レギュレータ回路部6は、電圧 $V_{batt}$ を安定化するために外部に配置されたトランジスタ14, 15を制御して安定化電圧 $V_{cc}$ を生成する。そして、コンパレータ22は、安定化電圧 $V_{cc}$ と動作電圧 $V_{clip}$ とを比較して、前者が後者を0.1V以上上回るとFET23をオンさせて動作電圧 $V_{clip}$ を上昇させる。



## 【特許請求の範囲】

【請求項1】 電源電圧を安定化させて安定化電圧を生成するものであり、前記電源電圧よりも低い耐圧の設計基準によって形成される電源回路装置において、前記電源電圧を抵抗を介して降圧することで前記耐圧未満となるようにクランプした動作用電圧を生成するクランプ回路部と、前記電源電圧を安定化するために外部に配置された電圧降下用素子の駆動を制御することで、前記安定化電圧を生成するように構成されるレギュレータ回路部と、2つの出力側端子に、前記安定化電圧と前記動作用電圧とが夫々印加されるスイッチング素子と、前記安定化電圧と前記動作用電圧とを比較して、前者が後者を所定レベル以上上回った場合に前記スイッチング素子をオンさせるように制御するコンパレータとを備えたことを特徴とする電源回路装置。

【請求項2】 CMOSプロセスによって形成される半導体集積回路装置として構成されていることを特徴とする請求項1記載の電源回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、電源電圧に基づいて安定化電圧を生成し、前記電源電圧よりも低い耐圧の設計基準によって形成される電源回路装置に関する。

## 【0002】

【従来の技術】 例えば、車両のバッテリ電源からECU (Electronic Control Unit) 等の電装品に供給する電源V<sub>cc</sub>を生成する電源回路をICとして構成する場合、従来はバッテリの電源電圧V<sub>batt</sub>に対する耐圧を考慮してバイポーラプロセスで形成することが一般的であった。ところが、ECUの中心をなすマイクロコンピュータはCMOSプロセスで形成されることが多いため、電源回路についても同様のプロセスで形成することができれば製造工程上メリットがある。

【0003】 そこで、図4に示すように電源回路装置1をCMOSプロセスのICとして形成することが試みられている。電源回路装置1の電源入力端子1aにはバッテリ2の電源V<sub>batt</sub>が電流制限抵抗(抵抗値r1)3を介して印加されて、動作用電圧V<sub>clp</sub>が供給されるようになっている。電源回路装置1は、基準電圧発生回路部4、クランプ回路部5及びレギュレータ回路部6を備えて構成されている。基準電圧発生回路部4は例えばバンドギャップリファレンスであり、動作用電圧V<sub>clp</sub>を受けて基準電圧V<sub>ref</sub>(約1.24V)を生成し、クランプ回路部5及びレギュレータ回路部6に供給するようになっている。

【0004】 クランプ回路部5において、電源V<sub>clp</sub>とグランドとの間にはオペアンプ7、NチャネルMOSFET8が接続されていると共に、分圧抵抗9及び10の直列回路が接続されている。オペアンプ7の反転入力端子には、基準電圧V<sub>ref</sub>が与えられており、非反転入力端子は分圧抵抗9及び10(抵抗値r2及びr3)の共通接続点に接続されている。そして、オペアンプ7の出力端子は、FET8のゲートに接続されている。

【0005】 レギュレータ回路部6において、オペアンプ11はオペアンプ7と共に電源V<sub>clp</sub>によって動作し、その非反転入力端子には基準電圧V<sub>ref</sub>が与えられている。安定化電圧V<sub>cc</sub>参照用の端子1bとグランドとの間には分圧抵抗12及び13(抵抗値r4及びr5)の直列回路が接続されており、両者の共通接続点はオペアンプ11の反転入力端子に接続されている。そして、オペアンプ11の出力端子は、電源回路装置1の端子1cを介して外部に配置されているNPNトランジスタ14のベースに接続されている。

【0006】 トランジスタ14のエミッタはグランドに接続されており、コレクタは、PNPトランジスタ15のベースに接続されている。トランジスタ15のエミッタはバッテリ2に接続されている、コレクタは、安定化電圧V<sub>cc</sub>(例えば5V)を出力するようになっている。

【0007】 尚、基準電圧発生回路部4は、電圧V<sub>batt</sub>の上昇過程で動作用電圧V<sub>clp</sub>が2V程度に達すると1.24Vの基準電圧V<sub>ref</sub>を発生させるが、この基準電圧V<sub>ref</sub>の定格値は、クランプ回路部5またはレギュレータ回路部6が定常的に動作するまでに確定されなければならない。

【0008】 以上のように構成された電源回路装置1では、レギュレータ回路部6のオペアンプ11は、電源V<sub>cc</sub>の分圧電位と基準電圧V<sub>ref</sub>との差に基づいて外部のトランジスタ14のベースに供給する電流を出力する。トランジスタ14がオンした場合はトランジスタ15もオンするのでバッテリ2より電流が供給され、電源V<sub>cc</sub>の電位が一定となるように( $V_{cc} = (r4 + r5) \times V_{ref} / r5$ )調整される。即ち、バッテリ2の電源電圧V<sub>batt</sub>は例えば6V~18Vの間で変動するため安定化させて一定電圧V<sub>cc</sub>を生成し、その安定化電圧V<sub>cc</sub>を示しない各部に電源として供給するようになっている。

【0009】 また、クランプ回路部5のオペアンプ7は、電源V<sub>clp</sub>の分圧電位と基準電圧V<sub>ref</sub>との差に基づいてFET8のゲートに印加する電圧を制御する。即ち、電源回路装置1は、バッテリ2の電圧V<sub>batt</sub>よりも耐圧が低く設定された(例えば5.5V)CMOSプロセスで形成されている。そのため、クランプ回路部5は、電圧V<sub>clp</sub>がその耐圧を上回ることがないように( $V_{clp} = (r2 + r3) \times V_{ref} / r3$ 、例えば5.2V)、電圧V<sub>batt</sub>が電圧V<sub>rs</sub>以上であればFET8を介して電流をバイパスさせることで調整を行う。斯様なクランプ回路部5を配置することで、電源回路装置1をCMOSプロセスで形成することを可能としている。

【0010】 図5には、バッテリ2の電源電圧V<sub>batt</sub>と電圧V<sub>clp</sub>、V<sub>cc</sub>との関係を示す。電圧V<sub>batt</sub>のレベル

が高いほど電流制限抵抗3を介してクランプ回路部5に流れ込む電流*i*1は増加するため電圧V<sub>clip</sub>も上昇する。そして、電圧V<sub>clip</sub>が、オペアンプ11が動作可能なレベル以上であれば、トランジスタ14のベースに電流が供給されて電圧V<sub>cc</sub>が出力される。

#### 【0011】

【発明が解決しようとする課題】ここで、V<sub>cc</sub>が( $r_4 + r_5$ ) × V<sub>ref</sub> /  $r_5$ に達する場合の電圧V<sub>batt</sub>を最低起動電圧V<sub>1</sub>と定義し、バッテリ2の電圧V<sub>batt</sub>が定常状態(例えば12V)にある場合の、電流制限抵抗3の抵抗値 $r_1$ とバッテリ2の消費電流及び電圧V<sub>1</sub>との関係を図6に示す。即ち、抵抗値 $r_1$ を小さくすると電流*i*1が増加するため、バッテリ2を接続した場合の電圧V<sub>clip</sub>は十分なレベルに達する。その結果、バッテリ2の電圧V<sub>batt</sub>が低いレベルにある場合でも所定レベルの安定化電圧V<sub>cc</sub>を供給することが可能となり、最低起動電圧V<sub>1</sub>は低くなる。しかし、その一方で、電圧V<sub>batt</sub>が低い場合でも、電圧V<sub>clip</sub>の上昇を抑制するために電流をバイパスさせるFET8が動作することになり電流消費が増加してしまう。逆に、抵抗値 $r_1$ を大きく設定した場合は、電流*i*1が減少することから最低起動電圧V<sub>1</sub>は高くなるが電流消費を抑制できる。

【0012】車載用の電源回路装置1では、バッテリ2の消耗を抑制するため抵抗値 $r_1$ を大きな値に設定することが一般的である。そのため、装置1における最低起動電圧V<sub>1</sub>は高めに設定され、バッテリ2の電圧V<sub>batt</sub>が低い領域では安定化電圧V<sub>cc</sub>が所定のレベルを維持できなくなるという問題があった。

【0013】本発明は上記事情に鑑みてなされたものであり、その目的は、電流消費を増加させることなく、電源電圧が低い場合でも必要なレベルの安定化電圧を生成できる電源回路装置を提供することにある。

#### 【0014】

【課題を解決するための手段】請求項1記載の電源回路装置によれば、クランプ回路部は、電源の出力電圧を抵抗を介して降圧することで耐圧未満となるようにクランプした動作用電圧を生成し、レギュレータ回路部は、電源の出力電圧を安定化するために外部に配置された電圧降下用素子を制御して安定化電圧を生成する。そして、コンパレータは、安定化電圧と動作用電圧とを比較して、前者が後者を所定レベル以上上回ると2つの出力側端子に安定化電圧と動作用電圧とが夫々印加されているスイッチング素子をオンさせる。

【0015】即ち、電源が電源回路装置に接続された場合に上記の条件が成立してコンパレータがスイッチング素子をオンさせると、安定化電圧側からも動作用電圧側に電流が供給されるため動作用電圧は瞬間に上昇する。従って、消費電力を抑制するため前記抵抗の抵抗値を大きく設定した場合でも、コンパレータ及びスイッチング素子の作用によって動作用電圧の上昇を促進してレ

ギュレータ回路部の動作を開始させることが可能となる。その結果、従来構成よりも最低起動電圧を低くすることができるため、電源電圧が低いレベルにある場合でも所定レベルの安定化電圧を生成することができる。

【0016】請求項2記載の電源回路装置によれば、C MOSプロセスによって形成される半導体集積回路装置として構成するので、例えば、上述したマイクロコンピュータのような素子に安定化電圧を供給する電源回路に適用した場合は、両者を同一の半導体基板上に形成して一体に構成することが可能であり、全体を小形化することができる。

#### 【0017】

【発明の実施の形態】以下、本発明を車両に搭載される電源回路装置に適用した場合の一実施例について図1乃至図3を参照して説明する。尚、図4と同一部分には同一符号を付して説明を省略し、以下異なる部分についてのみ説明する。

【0018】電気的構成を示す図1において、本実施例の電源回路装置21は、電源回路装置1にコンパレータ22とPチャネルMOSFET(スイッチング素子)23とを加えて構成されている。コンパレータ22の非反転入力端子はオペアンプ7の非反転入力端子に接続されており、反転入力端子はオペアンプ11の反転入力端子に接続されている。そして、コンパレータ22の出力端子は、FET23のゲートに接続されている。FET23のソース(出力側端子)は電源入力端子21aに接続されており、ドレイン(出力側端子)は安定化電圧V<sub>cc</sub>参照用の端子21bに接続されている。

【0019】コンパレータ22は、反転入力端子の電位が非反転入力端子の電位よりも0.1V上回った場合に、出力信号レベルがハイからロウに切り替わるように内部のしきい値が設定されている。その他の構成は図4と同様である。

【0020】次に、本実施例の作用について図2及び図3をも参照して説明する。図2は、図5相当図である。図5と同様に、電圧V<sub>batt</sub>のレベルに応じて電圧V<sub>clip</sub>は上昇し、オペアンプ11が動作可能なレベルに達している場合は電圧V<sub>cc</sub>も出力される。電圧V<sub>batt</sub>のレベルが上昇するのに伴って傾きが異なる電圧V<sub>clip</sub>と電圧V<sub>cc</sub>との上昇直線は交差するが、電圧V<sub>cc</sub>のレベルが電圧V<sub>clip</sub>のレベルを0.1V上回る状態になると(V<sub>cc</sub> ≥ V<sub>clip</sub> + 0.1)コンパレータ22の出力レベルはハイからロウに切り替わり、FET23はオンする。すると、FET23のドレイン側(電圧V<sub>cc</sub>側)からソース側(電圧V<sub>clip</sub>側)に電流*i*2(図1参照)が供給されるので、電圧V<sub>clip</sub>のレベルは瞬間に上昇する。尚、図2では、電圧V<sub>clip</sub>のレベル上昇を誇張して図示しているが、実際には電圧V<sub>cc</sub>と同程度に上昇する。

【0021】即ち、電圧V<sub>batt</sub>のレベルに応じた電圧V<sub>clip</sub>の変化軌跡はコンパレータ22及びFET23の作

用により非線形となる。従って、電源回路装置21に対してバッテリ2が最初に接続された場合に、電圧V<sub>batt</sub>が極めて短い時間内で過渡的に上昇する場合を想定すると、電圧V<sub>clp</sub>は非線形に変化して上昇することになり、最低起動電圧V<sub>I</sub>は上昇する。

【0022】そして、電圧V<sub>cc</sub>が $(r_4 + r_5) \times V_{ref} / r_5$ に達していれば、従来と同様にレギュレータ回路部6の動作によって電圧V<sub>cc</sub>は安定化され、そのレベルを維持するように制御される。また、電圧V<sub>clp</sub>が $(r_2 + r_3) \times V_{ref} / r_3$ に達している場合はクランプ回路部5が動作してそのレベルを維持するように制御される。そして、電圧V<sub>cc</sub>が所定レベルに安定化される定常状態にあっては、FET23はオンすることはない。

【0023】従って、図3に示すように、電流制限抵抗3の抵抗値r<sub>1</sub>を従来と同様に大きく設定しレギュレータ回路部6の動作開始電圧V<sub>rs</sub>を同様に設定した場合でも、最低起動電圧V<sub>I</sub>が従来構成よりも低くなるため、バッテリ2が比較的消耗した状態にある電圧V<sub>batt</sub>のレベルがより低い場合であっても、安定化電圧V<sub>cc</sub>が生成可能となっている。そして、FET23は、バッテリ2が電源回路装置21に最初に接続され定常状態に至る間にだけオンするので、定常状態においては、コンパレータ22に流れる数10μA程度の消費電流が増加するのみである。

【0024】以上のように本実施例によれば、電源回路装置21のクランプ回路部5は、バッテリ2の出力電圧V<sub>batt</sub>を電流制限抵抗3を介して降圧することでクランプした動作用電圧V<sub>clp</sub>を生成し、レギュレータ回路部6は、電圧V<sub>batt</sub>を安定化するために外部に配置されたトランジスタ（電圧降下用素子）14、15を制御して安定化電圧V<sub>cc</sub>を生成する。そして、コンパレータ22は、安定化電圧V<sub>cc</sub>と動作用電圧V<sub>clp</sub>とを比較して、前者が後者を0.1V以上上回るとFET23をオンさせて動作用電圧V<sub>clp</sub>を上昇させるようにした。

【0025】従って、消費電力を抑制するため電流制限用抵抗3の抵抗値を大きく設定した場合でも、コンパレータ22及びFET23の作用により動作用電圧V<sub>clp</sub>の上昇を促進してレギュレータ回路部6の動作を開始させることが可能となる。その結果、従来構成よりも最低起動電圧V<sub>I</sub>を低くすることができるため、バッテリ2の電圧V<sub>batt</sub>が低いレベルにある場合でも所定レベルの安定化電圧V<sub>cc</sub>を生成することが可能となる。

【0026】また、電源回路装置21を半導体集積回路

装置として構成したので、マイクロコンピュータのようにCMOSプロセスで構成される素子に電圧V<sub>cc</sub>を供給する電源回路に適用すれば、両者を同一の半導体基板上に形成して一体に構成することができ、全体を小形化することが可能となる。

【0027】本発明は上記し且つ図面に記載した実施例にのみ限定されるものではなく、次のような変形または拡張が可能である。所定レベルは0.1Vに限ることなく、個別の設定に応じて適宜設定すれば良い。電圧降下用素子はトランジスタに限らず、IGBTやパワーMOSFETなどを用いても良い。基準電圧発生回路部4は、バンドギャップリファレンスを用いて構成するものに限らず、ツエーダイオードなどを用いても良い。スイッチング素子はPチャネルMOSFET23に限ることなく、コンパレータ22の入力端子の接続を逆にしてNチャネルMOSFETを使用しても良い。電源回路装置は、独立したICとして構成しても良い。また、同じCMOSプロセスで形成されて安定化電源V<sub>cc</sub>が動作用電源として供給されるマイクロコンピュータと同一の半導体基板上に一体で形成しても良い。更に、電源回路装置はCMOSプロセスでICとして構成するものに限らずディスクリート素子で構成しても良いし、バイポーラプロセスで形成されるものであってもバッテリ2の電圧よりも低い耐圧基準で形成される電源回路装置であれば適用が可能である。また、車両の電装品などに適用するものに限ることはない。

#### 【図面の簡単な説明】

【図1】本発明を車両に搭載される電源回路装置に適用した場合の一実施例であり、電気的構成を示す図

【図2】電源電圧V<sub>batt</sub>と動作用電圧V<sub>clp</sub>、安定化電圧V<sub>cc</sub>との関係を示す図

【図3】電圧V<sub>batt</sub>が定常状態にある場合の、電流制限抵抗の抵抗値r<sub>1</sub>とバッテリの消費電流及び最低起動電圧V<sub>I</sub>との関係を示す図

【図4】従来技術を示す図1相当図

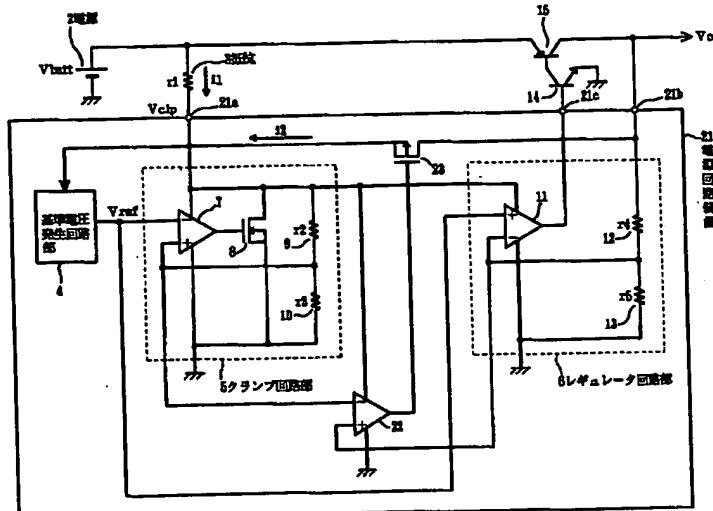
【図5】図2相当図

【図6】図3相当図

#### 【符号の説明】

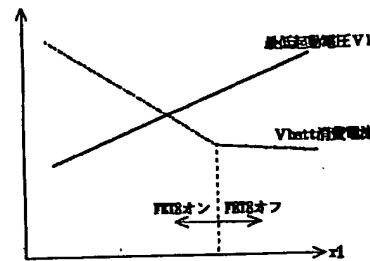
2はバッテリ（電源）、3は電流制限抵抗（抵抗）、5はクランプ回路部、6はレギュレータ回路部、14及び15はトランジスタ（電圧降下用素子）、21は電源回路装置、22はコンパレータ、23はPチャネルMOSFET（スイッチング素子）を示す。

【図1】

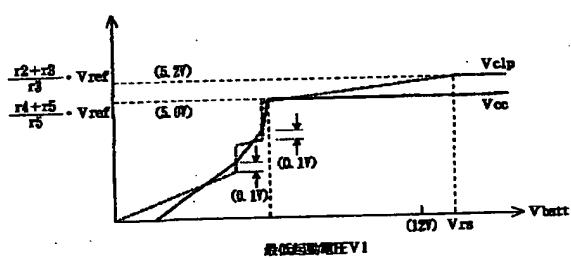


14,15:電圧降下用素子  
22:コンパレータ  
23:スイッティング素子

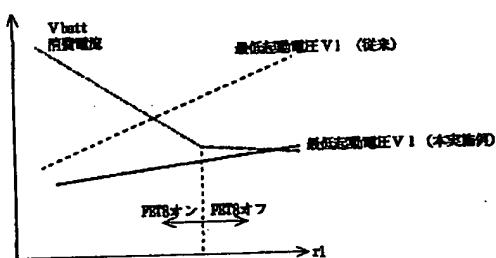
【図6】



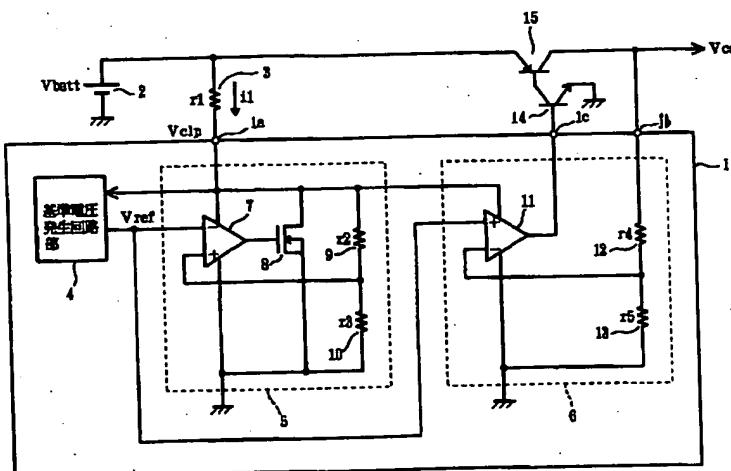
【図2】



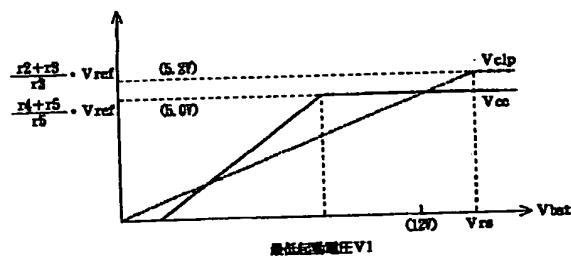
【図3】



【図4】



【図5】



フロントページの続き

(72) 発明者 原田 卓哉  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内

F ターム(参考) 5H430 BB03 BB05 BB09 BB11 CC01  
 EE03 FF02 FF12 FF13 HH03